

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H02M 1/00		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년09월01일 10-0219851 1999년06월16일
(21) 출원번호	10-1997-0037929	(65) 공개번호	특 1999-0015680
(22) 출원일자	1997년08월08일	(43) 공개일자	1999년03월05일
(73) 특허권자	엘지산전주식회사 . 이종수		
(72) 발명자	서울특별시 영등포구 여의도동 20번지 이정표		
(74) 대리인	경기도 시흥시 미산동 82-14 상아그린아파트 101동2001호 박장원		

심사관 : 김남정

(54) 인버터의 전류제어장치

영세서

도면의 간단한 설명

- 도1은 종래 유도 전동기 구동 시스템의 구성을 보인 회로도.
 도2는 인버터의 한 상에 대한 개략적인 회로도.
 도3은 종래 데드타임에 의한 출력전압의 변화 파형도.
 도4는 종래 전류가 0보다 큰 경우 펄스폭 변조 삼각파와 데드타임 보상 파형도.
 도5는 종래 전류가 양인 경우 데드타임 보상 파형도.
 도6은 종래 전류가 음인 경우 데드타임의 보상 파형도.
 도7은 도1에서 인버터의 구성을 보인 상세 블록도.
 도8은 종래에 유도 전동기를 10Hz, 무 부하로 운전할 때 전류 출력 파형도.
 도9는 종래에 유도 전동기를 10Hz, 무 부하로 운전할 때 출력 전류를 20 주기 이상을 측정한 후 주파수 분석을 한 결과 파형도.
 도10은 전압의 동기 좌표계에서의 전압과 전류의 상관 그래프.
 도11은 본 발명 인버터의 전류제어장치의 구성을 보인 블록도.
 도12는 본 발명을 적용한 데드타임 보상시 전류의 주파수 분석 파형도.
 도13은 본 발명의 적용시 출력 전류의 주파수 분석 파형도.
 도14는 본 발명에 의한 전류의 과도상태 응답 파형도.
 도15a,b,c,d는 도10에서 보상전압 출력부의 다른 구성의 실시예를 보인 블록도.

도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------------|-------------------|
| 1 : 교류전원 | 2 : 구동장치 |
| 3 : 정류부 | 4 : 필터 커패시터 |
| 5 : 직류 제동부 | 6 : 인버터 |
| 7 : 전류검출부 | 8 : 유도전동기 |
| 9 : 접지 | 10 : 다이오드 |
| 11 : 모터 | 12 : 목표주파수 |
| 13 : 전압/주파수부 | 14 : 적분기 |
| 15,30,31,32 : 좌표변환부 | 17 : 전류극성판별부 |
| 20 : 보상전압출력부 | 40 : 저역통과 필터(LPF) |
| 21,41 : 대역통과 필터(BPF) | 22 : 고역통과 필터(HPF) |
| 23,24 : 감산기 | 25,26 : 비례적분 제어기 |
| 16,33 : 가산기 | A+, A- : 스위치 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 인버터의 전류제어장치에 관한 것으로, 특히 전압/주파수(Voltage / Frequency : V/F)의 일정 제어를 하는 펄스폭변조(PWM) 인버터(이하 범용 인버터)에 있어서 저속, 경 부하 시에 전류의 왜곡과 토크 맥동 및 모타 발열의 원인이 되고 있는 데드타임의 보상 및 전류 왜곡을 개선한 인버터의 전류제어장치에 관한 것이다.

최근 산업계의 여러 분야에서 유도전동기의 사용이 두드러지고 있으며, 그 이유는 구조가 간단하고 가격이 낮다는 장점이 있기 때문이다. 그러한 유도전동기의 속도 제어 장치로 인버터의 사용이 두드러지고 있으며, 소용량 가변속 드라이브에 있어서 그 제어성의 양호한 범용 인버터 구동이 현 인버터 시장의 주류를 이루고 있다. 그러나, 범용 인버터는 종래의 트랜지스터 구동 인버터에 비해 스위칭 횟수가 많고, 데드타임의 영향이 크게 나타난다.

특히, 데드타임은 저속 운전 시, 경 부하 시에 전류의 왜곡과 토크 맥동의 원인이 되고있어 그 보상 방법에 관한 연구가 활발하게 진행되고 있다.

도1은 종래 유도 전동기 구동 시스템의 구성을 보인 회로도로서, 단상 또는 3상의 교류전원(1)과; 삼상의 교류 전원을 직류로 변환하는 정류부(3)와; 직류전압을 평활하게 하는 필터 커패시터(4)와; 감속 시에 사용하는 직류 제동부(5)와 직류를 가변 주파수의 전압으로 출력하는 인버터(6)와; 출력 전류를 검출하는 전류 검출부(7)로 구성된 구동장치(2)와; 유도전동기(8)로 구성된다.

이와 같이 구성된 종래 회로의 동작과정을 설명하면 다음과 같다.

구동장치(2)에서 인버터(6)의 한 상의 상하 두 스위치가 동시에 온 되면 암 단락이 되어 정류부(3)와 상기 인버터(6)가 파손되어 진다. 따라서 이를 막기 위해 상하 두 스위치 사이의 온 시간에 시간차 즉, 데드타임을 두어야 만 한다.

도2는 인버터의 한 상에 대한 개략적인 회로도로서, 이에 도시된 바와 같이 접지(9)와 한 상의 제1,2 스위치(A+, A-) 사이에는 직류전원(Vdc/2)이 연결되어 있으며, 상기 한 상의 제1,2 스위치(A+, A-)에는 역병렬로 다이오드(10)가 모터(11)의 한 상과 연결되어 있다.

단락 방지를 위해서 상기 한 상의 제1,2 스위치(A+, A-)는 동시에 온 시킬 수 없으므로, 이로 인해 구동장치(2)에서 필연적으로 발생하는 데드타임은 출력전압의 크기를 변동시키며, 이 과정을 도3에 나타내었다.

도3은 종래 데드타임에 의한 출력전압의 변화 파형도로서, 이에 도시된 바와 같이 V*는 한 주기의 펄스 폭 변조(PWM) 삼각파와 전압 지령치의 비교 출력 값으로, 펄스 형태의 전압 지령치를 의미한다. 이 전압 지령치를 출력하기 위한 스위칭 방법은 도2의 제1 스위치(A+)와 제2 스위치(A-)의 조합으로 표현될 수 있고, 도3에서 시간(td)은 하드웨어 또는 소프트웨어에서 발생시키는 온 타임 지연이다.

그러므로, 상기 제1 스위치(A+)와 제2 스위치(A-)의 게이트 온, 오프 전압 파형은 오프 타임에는 지연이 없고, 온 타임에만 상기 시간(td)만큼의 지연이 발생한다.

상기 제1 스위치(A+)와 제2 스위치(A-)의 조합으로 발생하는 출력전압(Vo)은 시간 0 ~ t1, t4 ~ 의 구간에서 상기 제2 스위치(A-)가 턴 온 되므로, -Vdc/2 만큼의 전압이 출력되고, 시간 t2 ~ t4의 구간에서는 상기 제1 스위치(A+)가 턴 온 되므로, +Vdc/2만큼의 전압이 출력된다.

시간 t1 ~ t2, t3 ~ t4의 구간에서는 두 개의 스위치(A+, A-)가 모두 오프 되어 있으므로, 전류가 0V 보다 큰 경우 전류가 0V 보다 크다는 전제에 따라 제2 스위치(A-)의 병렬 다이오드가 도통 되므로, -Vdc/2의 전압이 출력된다. 그러므로 한 주기 동안의 출력전압은 Vo = V* - Vdead 가 된다.

전류가 0V 보다 작은 경우에는 제1 스위치(A+)의 병렬 다이오드가 도통 되므로, +Vdc/2의 전압이 출력된다. 그러므로 한 주기 동안의 출력전압은 Vo = V* + Vdead 이 된다.

이러한 오차를 보정하기 위하여 출력전압 지령치(V*)에 시간 td만큼의 전압 Vdead를 보상하여 주어야 한다.

도4는 종래 전류가 0보다 큰 경우 펄스폭 변조 삼각파와 데드타임 보상 파형도로서, 이에 도시된 바와 같이 펄스폭 변조(PWM) 삼각파 한 주기에 시간 td에 해당하는 전압 Vdead는 Ts/2에 좌우대칭으로 적용되므로, 다음의 관계식이 성립한다.

$$\frac{V_{dc}}{2} : \frac{T_s}{4} : V_{dead} : \frac{td}{2}$$

도5는 종래 전류가 양인 경우 데드타임 보상 파형도이고, 도6은 종래 전류가 음인 경우 데드타임의 보상 파형도로서, 이에 도시된 바와 같이 도5는 전류가 양인 경우, 음의 출력전압의 오차가 발생하므로, 양의 보상 전압을 더해주고, 도6은 전류가 음인 경우, 양의 출력전압 오차가 발생하므로, 음의 보상 전압을 더해주는 것이다.

도7은 도1에서 인버터의 구성을 보인 상세 블록도로서, 이에 도시된 바와 같이 전압/주파수(V/f, 13)부는 목표 주파수(f*)를 입력받아 일정 비의 패턴으로 동기 좌표계 q축 전압 지령치(Vqse*)를 출력하고, 좌표 변환부(15)는 적분기(14)를 통과한 theta를 기준으로 입력된 상기 동기 좌표계 q축 전압

지령치(V_{qse}^*)와 동기 좌표계 d축 전압 지령치(V_{dse}^*)를 상상의 정지 좌표계 상 전압 지령치(V_{as}^* , V_{bs}^* , V_{cs}^*)로 변환하여 준다.

상기 출력된 상상의 정지 좌표계 상 전압 지령치(V_{as}^* , V_{bs}^* , V_{cs}^*)는 펄스폭 변조(PWM) 삼각파와 비교되며, 출력된 값(도3의 V_o)이 제1,2 스위치(A+, A-)의 게이트 인가 전압이 되어 유도전동기(8)에 가변 상상 전압을 인가하게 된다.

도1의 전류 검출부(7)로 부터 검출된 전류(i_{abc})는 전류극성 판별부(17)를 거쳐 전류의 극성에 따른 보상전압(V_{a_dead} , V_{b_dead} , V_{c_dead})을 출력하며, 이 전압이 상기 정지 좌표계 상 전압 지령치(V_{as}^* , V_{bs}^* , V_{cs}^*)와 더해져서 새로운 보상전압을 더한 정지 좌표계 상 전압 지령치($V_{as_new}^*$, $V_{bs_new}^*$, $V_{cs_new}^*$)가 모터(8)에 인가된다.

도8은 도7에 적용하여 유도 전동기를 10Hz, 무 부하로 운전할 때 전류 출력 파형도로서, 이에 도시된 바와 같이 파형은 한 상의 출력 전류이며, 아래의 파형은 상상의 출력 전류를 정지 좌표계 2상 변환한 결과를 XY좌표로 표시한 것으로서, 만일 출력 전류가 정현파 라면 XY좌표 출력의 결과가 원형으로 나타나게 된다.

도9는 도7에 적용하여 유도 전동기를 10Hz, 무 부하로 운전할 때 출력 전류를 20 주기 이상을 측정한 후 주파수 분석을 한 결과 파형도로서, 이에 도시된 바와 같이 기본파(1f)에 비하여 역 토르크를 발생하는 7고조파(7f)가 크게 나타나며, 많은 고차 고조파를 함유함을 알 수 있다.

발명이 이루고자하는 기술적 과제

상기와 같이 종래의 범용 인버터는 저렴한 가격으로 다양한 부하의 속도 제어를 해야 하기 때문에, 벡터(Vector)제어 인버터와 같은 속도 제한 장비를 부착하지 않은 상태, 즉 오픈 루프(Open Loop)에서는 부하에서 요구하는 정확한 전류 지령치를 얻을 수 없었으며, 따라서 토오크 및 자속에 직접 연관되는 전류를 제어할 수 없어 평균 토르크를 제어하기 위한 전압/주파수(V/F) 일정 제어를 그 주된 알고리즘으로 채택하고 있으나, 종래의 일정 전압 보상 방법은 영전류 클램핑 현상과 유도전동기 고정자 저항에 의해서 전류의 왜곡이 발생하고, 만일 전류가 왜곡되지 않고 유도 전동기가 운전된다면, 그 때의 전류를 동기 좌표계에서 관측하면 일정한 직류로 나타나게 되며, 반대로 전류가 왜곡되면서 유도 전동기가 운전된다면, 그 때의 전류를 동기 좌표계에서 관측하면 리플을 포함한 일정한 직류로 나타나게 되고, 후자의 경우 리플을 포함한 전류에 LPF(Low Pass Filter)를 사용하여 고주파 성분을 제거하면 그 출력 값은 일정한 직류가 된다. 즉 도10은 전압의 동기 좌표계에서의 전압과 전류의 상관 그래프로서, 이에 도시한 바와 같이 범용 인버터의 동기 좌표계로 표현된 각 상의 전류(i_{de} , i_{qe})는 리플 성분을 포함하고 있고, 이 전류에 저역통과 필터(LPF)를 적용하면 그 값은 일정한 직류로 되며, 이를 전류의 지령치로 사용할 수 있는데, 도10a 처럼 부하가 작은 경우에는 부하가 급변하여도 필터를 거친 전류 지령치가 큰 오차를 갖지 않지만, 도10b 처럼 부하가 큰 경우에는 부하가 갑자기 작아질 때, 모터의 인덕턴스 성분으로 인해 전류의 크기는 급변하지 않고, 역률만 변화하게 되며, 그 때 d축에서 바라본 전류는 실제 부하에서 요구하는 전류보다 크게 보이므로, 전류의 지령치로 사용할 수 없고, 이 때 q축에서 바라본 전류는 d축 전류 지령치의 오차 만큼 크지는 않지만 다소의 오차를 갖으며, 또한 종래의 기술은 데드타임으로 발생한 전압의 오차만을 보상하므로, 정현파의 형태로 출력되어야 할 전류의 파형이 왜곡되어지며, 특히 0전류 근처에서의 전류의 왜곡이 두드러지게 나타나고, 이렇게 나타난 전류는 5차와 7차의 고조파를 함유하고 있어서 모터의 토크 맥동과 발열의 원인이 되며, 구동장치의 성능 저하에 주요한 요인이 되고, 또한 데드타임으로 인한 전류 파형의 왜곡은 저속, 경 부하시에 크게 나타나며, 종래의 보상 방법을 적용하면 파형의 전체적인 왜곡을 개선 할 수 없는 문제점이 있었다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 전압/주파수(V/F) 일정 제어를 하는 구동장치에 대하여 저속, 경 부하 시에 전류의 왜곡과 토크 맥동 및 모터 발열의 원인이 되고 있는 데드타임의 영향을 보상하여 인버터 출력 전류의 왜곡 및 성능을 개선하는 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명 인버터의 전류 제어장치의 구성은, 목표주파수를 입력받아 그 주파수의 적분값을 출력하는 적분기와; 목표주파수를 입력받아 동기 좌표계의 직류전압 지령치를 출력하는 전압/주파수부; 상기 적분기의 출력을 기준으로하여 상기 전압/주파수부의 출력을 상상의 교류전압 지령치로 변환하는 제1 좌표 변환부와; 상기 적분기의 출력을 기준으로하여 전류검출부에서 검출한 전류를 동기 좌표계의 값으로 변환하는 제2 좌표 변환부와; 상기 제2 좌표 변환부의 출력과 동기 좌표계 d축 전류를 입력받아 보상전압을 출력하는 보상전압 출력부와; 상기 적분기의 출력을 기준으로하여 상기 보상전압 출력부의 출력을 정지 좌표계 값으로 변환하는 제3 좌표 변환부와; 상기 제3 좌표 변환부의 출력과 일정 보상전압을 가산하는 제1 가산기와; 상기 제1 가산기의 출력과 상기 제1 좌표 변환부의 출력을 가산하는 제2 가산기로 구성함을 특징으로 한다.

상기 보상전압 출력부는 제2 좌표 변환부의 출력에서 설정한 범위내에 있는 주파수의 교류성분만을 통과시켜서 출력을 얻는 대역통과 필터(Band Pass Filter)와; 상기 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시키는 고역통과 필터(High Pass Filter)와; 상기 대역통과 필터의 출력과 고역통과 필터의 출력을 감산하는 제1 감산기와; 상기 고역통과 필터의 출력과 동기좌표계 디(D)축 전류지령치를 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 한다.

또한, 상기 대역통과 필터와 고역통과 필터와 좌표변환부 및 비례적분 제어기는 소프트웨어적으로도 처리가 가능하다.

이하, 본 발명에 따른 실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도11은 본 발명 인버터의 전류제어장치의 구성을 보인 블록도로서, 이에 도시한 바와 같이 전류 검출부(7)로 부터 검출된 전류는 제2 좌표변환부(31)에 의해 동기 좌표계의 값으로 변환되며, 이 값은 실제 전류의 변환 값이 된다. 상기 변환된 전류중 동기 좌표계 q축 전류(ique)는 보상전압출력부(20)의 대역통과 필터(BPF, 21)로 입력되어 동기 좌표계 q축 전류 지령치(ique_ref)로 출력되며, 상기 제2 좌표 변환부(31)에서 출력한 동기 좌표계 d축 전류(id)와 동기 좌표계 q축 전류(ique)는 고역통과 필터(HPF, 22)를 거쳐 필터링된 동기 좌표계 d축 전류(id^)와 q축 전류(ique^)로 출력되고, 이 필터링된 전류(id^, ique^)와 동기 좌표계 d축 전류 지령치(id_ref) 및 q축 전류 지령치(ique_ref)를 연산하여 제1,2 감산기(23, 24)에서 각 축 지령치에 대한 편차를 만들며, 이 편차 값은 제1,2 비례적분 제어기(25, 26)에서 각 축의 제어기 출력(Vdcom, Vqcom(동기좌표계 보상전압))을 만들고, 이 값은 제3 좌표변환부(32)에 의해 정지 좌표계 값으로 변환되며, 제1 가산기(33)에서 종래의 일정 보상 전압과 더해져 새로운 전압 지령치를 만든다.

도12는 본 발명을 적용한 데드타임 보상시 전류의 주파수 분석 파형도로서, 이에 도시한 바와 같이 위의 파형인 한 상의 전류는 왜곡되지 않으며, 영전류 근처의 파형도 크게 개선되었음을 알 수 있다. 아래의 파형도 출력 전류가 정현파이므로, XY좌표 출력의 결과가 원형으로 나타나고 있다.

도13은 본 발명의 적용시 출력 전류의 주파수 분석 파형도로서, 이에 도시한 바와 같이 10Hz, 무 부하로 운전할 때 출력 전류를 20 주기 이상을 측정한 후 그 데이터로 주파수 분석을 한 파형도인데, 기본파(1f)에 비하여 역 토크를 발생하는 7고주파(7f)가 크게 감소하였으며, 많은 고차 고주파가 감소되었음을 알 수 있다.

도14는 본 발명에 의한 전류의 과도상태 응답 파형도로서, 이에 도시한 바와 같이 0.5 ~ 40Hz까지의 영역에서 정격 부하까지의 스텝 및 램프 부하응답이 안정된 특성을 보인다.

도15a,b,c,d는 도10에서 보상전압 출력부의 다른 구성의 실시예를 보인 블록도로서, 이에 도시한 바와 같이 대역통과 필터를 대신하여 저역통과 필터나 고역통과 필터로 대체할 수 있고, 고역통과 필터 또는 저역통과 필터와 제1,2 감산기 및 제1,2 비례적분 제어기로 구성하여도 출력되는 보상전압은 도10에서의 보상전압과 동일하다.

발명의 효과

이상에서 설명한 바와 같이 본 발명 인버터의 전류 제어장치는 종래의 전압/주파수(V/F)를 일정 제어하는 범용 인버터에 대하여 별도의 추가되는 장비 없이 전압/주파수(V/F)를 일정하게 유지하면서 전류의 왜곡을 개선하므로, 데드타임으로 인한 전류의 왜곡을 막을 수 있고, 5, 7고주파의 감소로 인해 토크의 리플 및 모터의 과열을 현저히 줄일 수 있으며, 센서 리스 벡터 제어의 성능을 향상시킬 수 있고, 또한 다양한 응용 상황에서 발생할 수 있는 전류의 급변을 트립 없이 제어할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

목표주파수를 입력받아 그 주파수의 적분값을 출력하는 적분기와; 목표주파수를 입력받아 동기 좌표계의 직류전압 지령치를 출력하는 전압/주파수부와; 상기 적분기의 출력을 기준으로하여 상기 전압/주파수부의 출력을 상상의 교류전압 지령치로 변환하는 제1 좌표 변환부와; 상기 적분기의 출력을 기준으로하여 전류검출부에서 검출한 전류를 동기 좌표계의 값으로 변환하는 제2 좌표 변환부와; 상기 제2 좌표 변환부의 출력과 동기 좌표계 d축 전류를 입력받아 보상전압을 출력하는 보상전압 출력부와; 상기 적분기의 출력을 기준으로하여 상기 보상전압 출력부의 출력을 정지 좌표계 값으로 변환하는 제3 좌표변환부와; 상기 제3 좌표변환부의 출력과 일정 보상전압을 가산하는 제1 가산기와; 상기 제1 가산기의 출력과 상기 제1 좌표변환부의 출력을 가산하는 제2 가산기로 구성함을 특징으로 하는 인버터의 전류제어장치.

청구항 2

제1항에 있어서, 상기 보상전압 출력부는 제2 좌표 변환부의 출력인 동기 좌표계 q축 전류에서 설정한 범위내에 있는 주파수의 교류성분만을 통과시켜 동기 좌표계 q축 전류지령치를 출력하는 대역통과 필터(Band Pass Filter)와; 상기 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시켜 필터링된 동기좌표계 q,d축 전류를 출력하는 고역통과 필터(High Pass Filter)와; 상기 대역통과 필터의 출력인 필터링된 동기좌표계 q축 전류와 고역통과 필터의 출력인 동기 좌표계 q축 전류지령치를 입력받아 감산하는 제1 감산기와; 상기 고역통과 필터의 출력인 필터링된 동기좌표계 d축 전류와 동기좌표계 d축 전류지령치를 입력받아 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 하는 인버터의 전류제어장치.

청구항 3

제1항에 있어서, 상기 보상전압 출력부는 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시켜 필터링된 동기좌표계 q,d축 전류를 출력하는 고역통과 필터(High Pass Filter)와; 상기 고역통과 필터의 출력인 필터링된 동기 좌표계 q축 전류에서 설정한 주파수 범위의 이상인 고역부분은 차단하고, 저역 부분만을 통과시켜 동기 좌표계 q축 전류지령치를 출력하는 저역통과 필터(Low Pass Filter)와; 상기 저역통과 필터의 출력과 고역통과 필터의 출력인 필터링된 동기 좌표계 q축 전류를 입력받아 감산하는 제1 감산기와; 상기 고역통과 필터의 출력인 필터링된 동기 좌표계 d축 전류와 동기 좌표계 d축 전류지령치를 입력받아 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화

하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 하는 인버터의 전류제어장치.

청구항 4

제1항에 있어서, 상기 보상전압 출력부는 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시켜 필터링된 동기좌표계 q, d 축 전류를 출력하는 고역통과 필터(High Pass Filter)와; 상기 고역통과 필터의 출력과 동기 좌표계 q 축 전압을 입력받아 감산하는 제1 감산기와; 상기 고역통과 필터의 출력과 동기좌표계 d 축 전류지령치를 입력받아 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 하는 인버터의 전류제어장치.

청구항 5

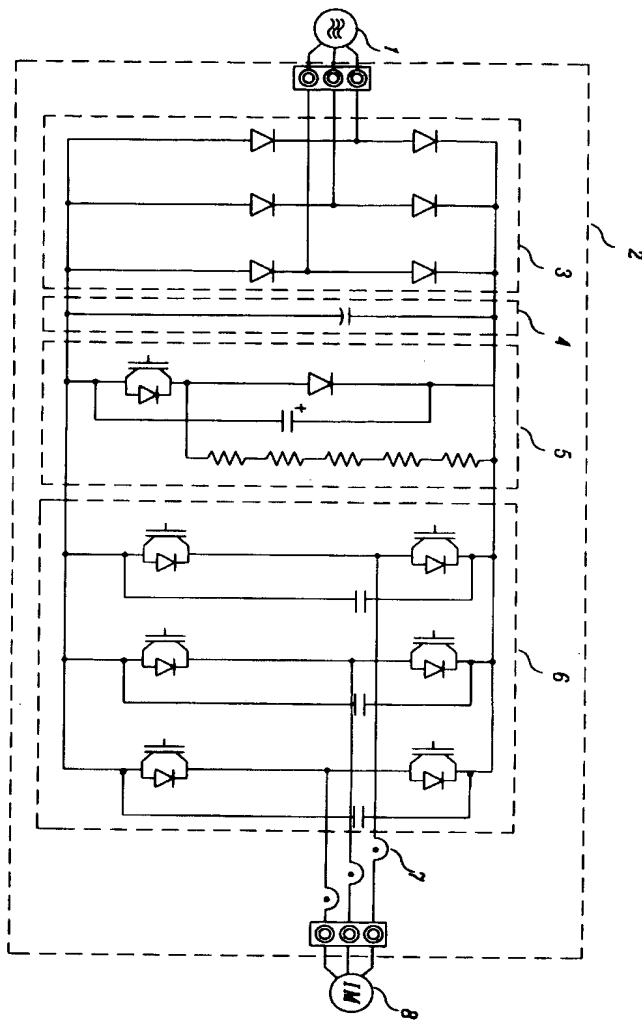
제1항에 있어서, 상기 보상전압 출력부는 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시켜 필터링된 동기좌표계 q, d 축 전류를 출력하는 제1 고역통과 필터(High Pass Filter)와; 상기 제1 고역통과 필터의 필터링된 동기좌표계 q 축 전류를 입력받아 이 출력에서 설정한 주파수 범위의 이하인 저역부분은 차단하고, 고역 부분만을 통과시켜 동기 좌표계 q 축 전류지령치를 출력하는 제2 고역통과 필터와; 상기 제1,2 고역통과 필터의 출력을 입력받아 감산하는 제1 감산기와; 상기 제1 고역통과 필터의 필터링된 동기좌표계 d 축 전류와 동기좌표계 d 축 전류지령치를 입력받아 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 하는 인버터의 전류제어장치.

청구항 6

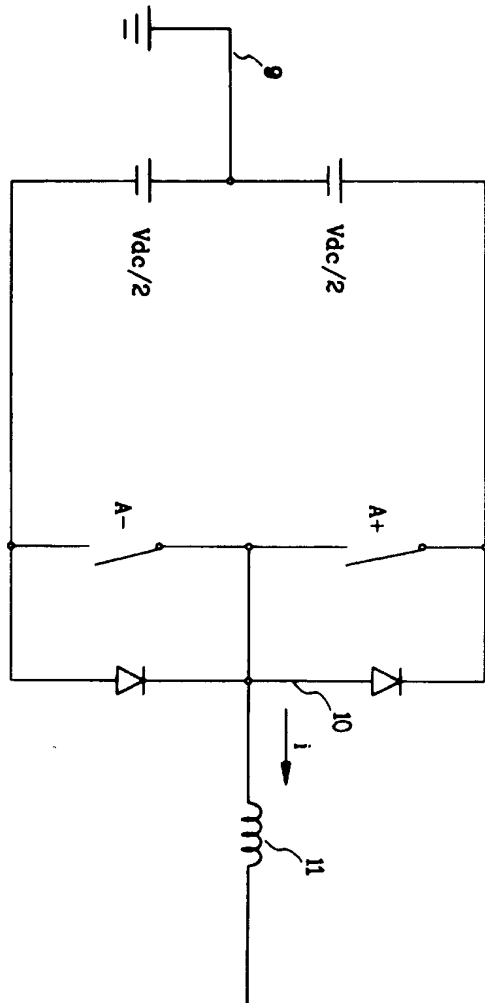
제1항에 있어서, 상기 보상전압 출력부는 제2 좌표 변환부의 출력에서 설정한 주파수 범위의 이상인 고역부분은 차단하고, 저역 부분만을 통과시키는 저역통과 필터(Low Pass Filter)와; 상기 제2 좌표 변환부의 출력인 동기 좌표계의 q 축 전류와 상기 저역통과 필터의 출력인 필터링된 동기 좌표계의 q 축 전류를 입력받아 감산하는 제1 감산기와; 제2 좌표 변환부의 출력인 동기 좌표계 d 축 전류와 상기 저역통과 필터의 출력인 필터링된 동기 좌표계의 d 축 전류를 입력받아 감산하는 제2 감산기와; 상기 제1,2 감산기에서 출력한 편차에 비례하여 조작량이 변화하는 비례 동작에 더해서 편차의 적분값에 비례하여 변화하는 양을 가해 조작량으로 제어하는 제1,2 비례적분 제어기로 구성함을 특징으로 하는 인버터의 전류제어장치.

도면

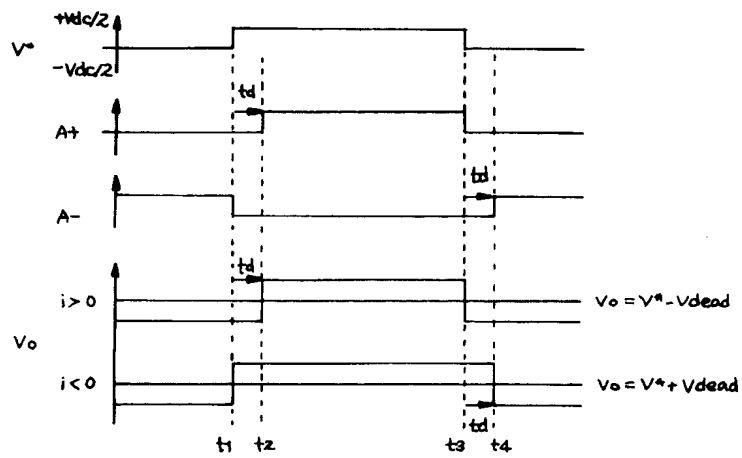
도면1



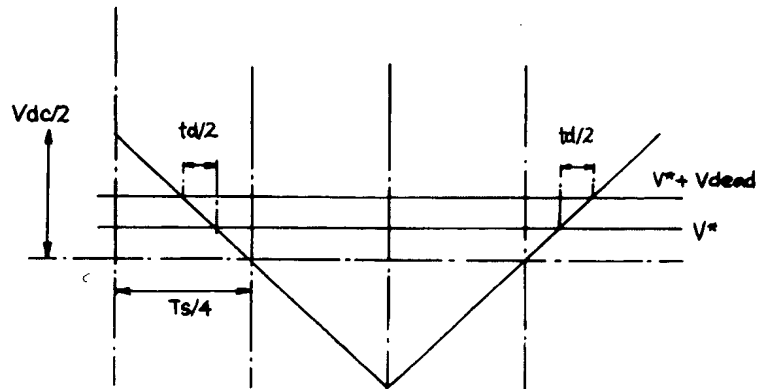
도면2



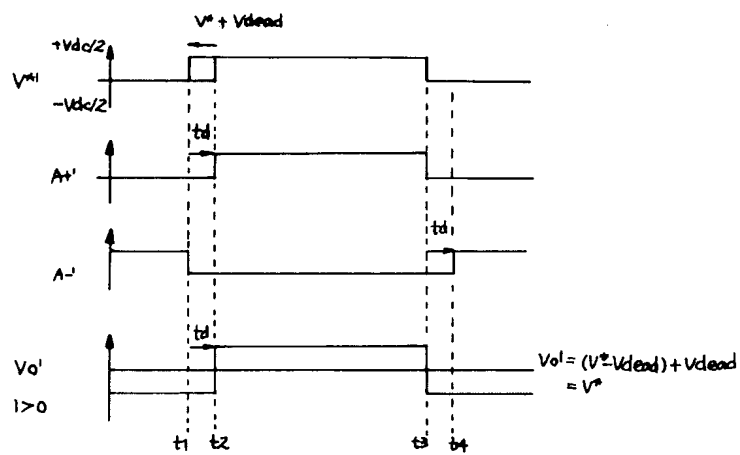
도면3



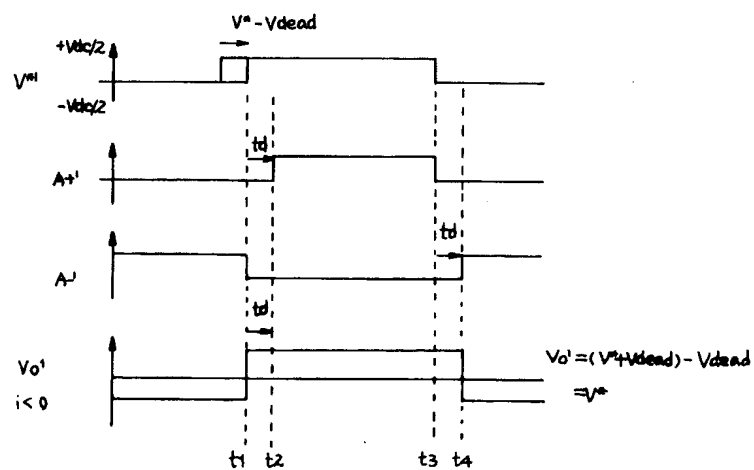
도면4



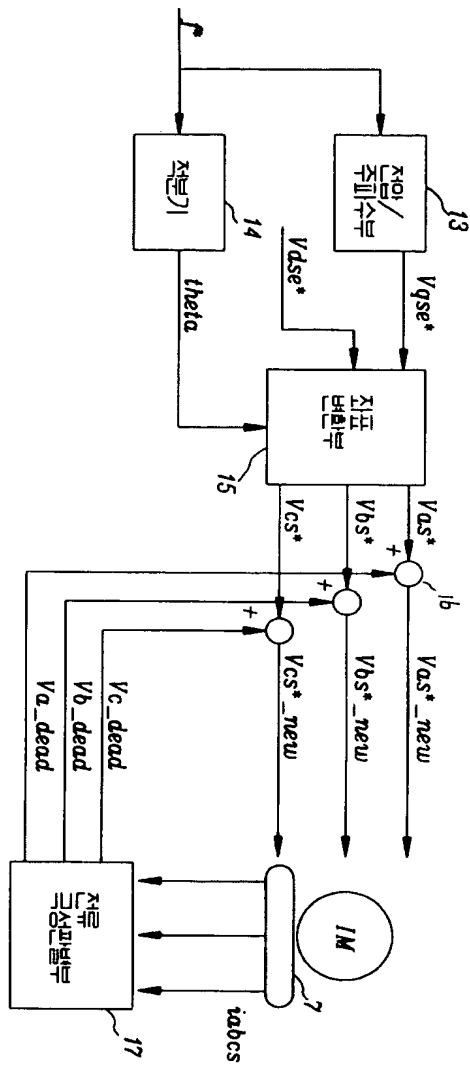
도면5



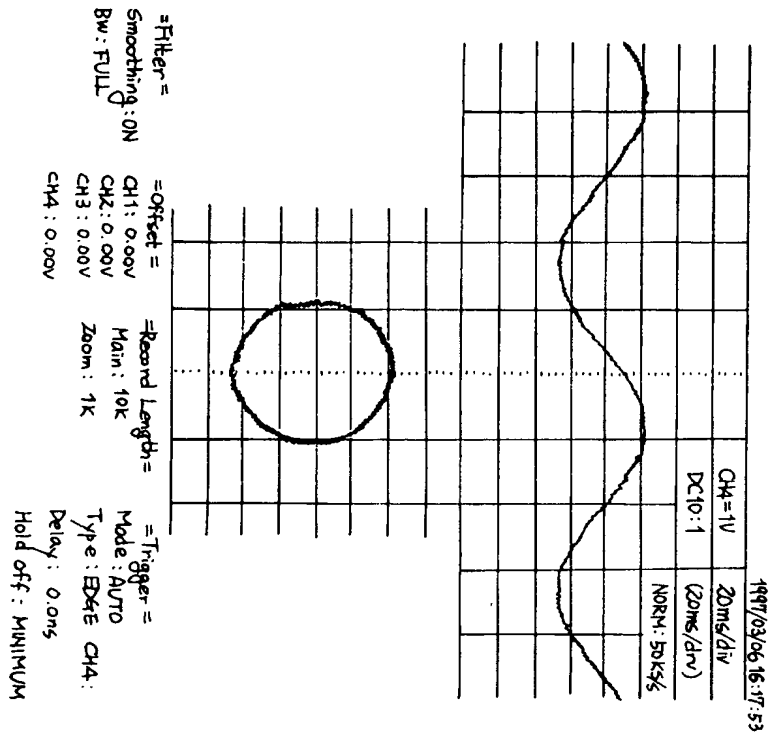
도면6



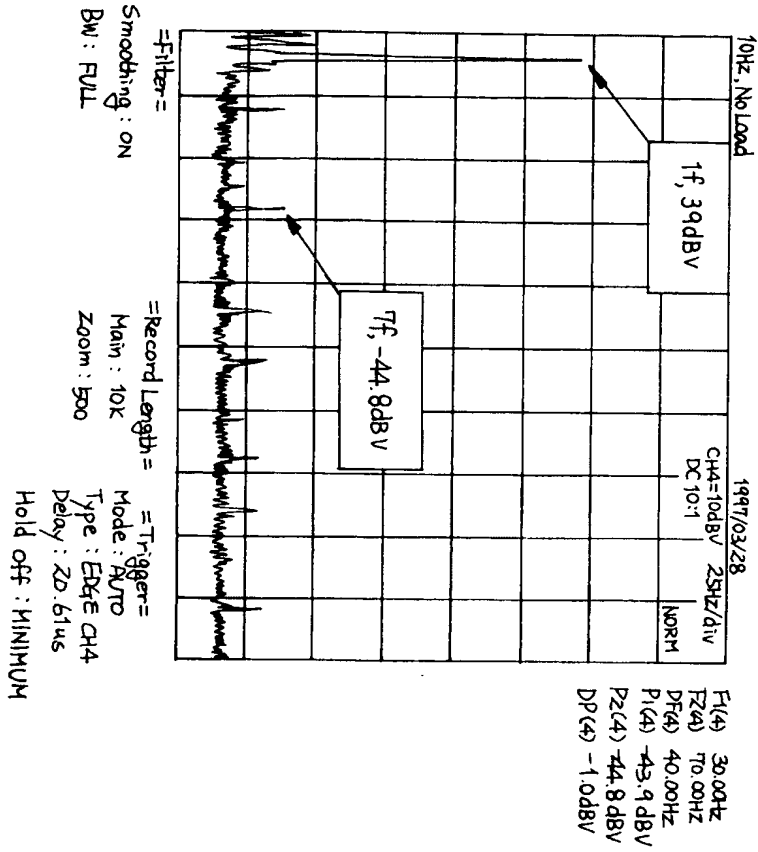
도면 7



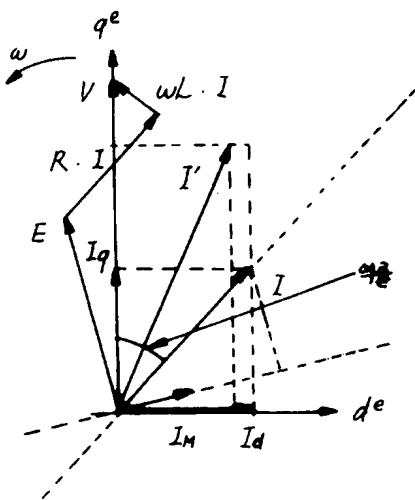
도면 8



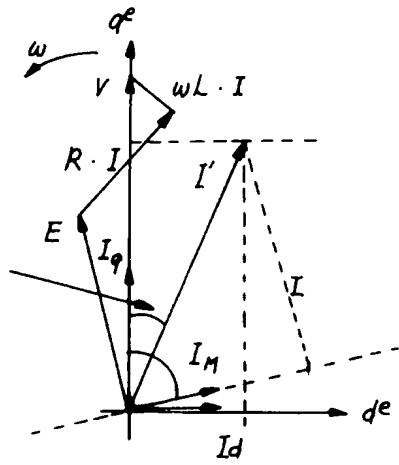
도 9

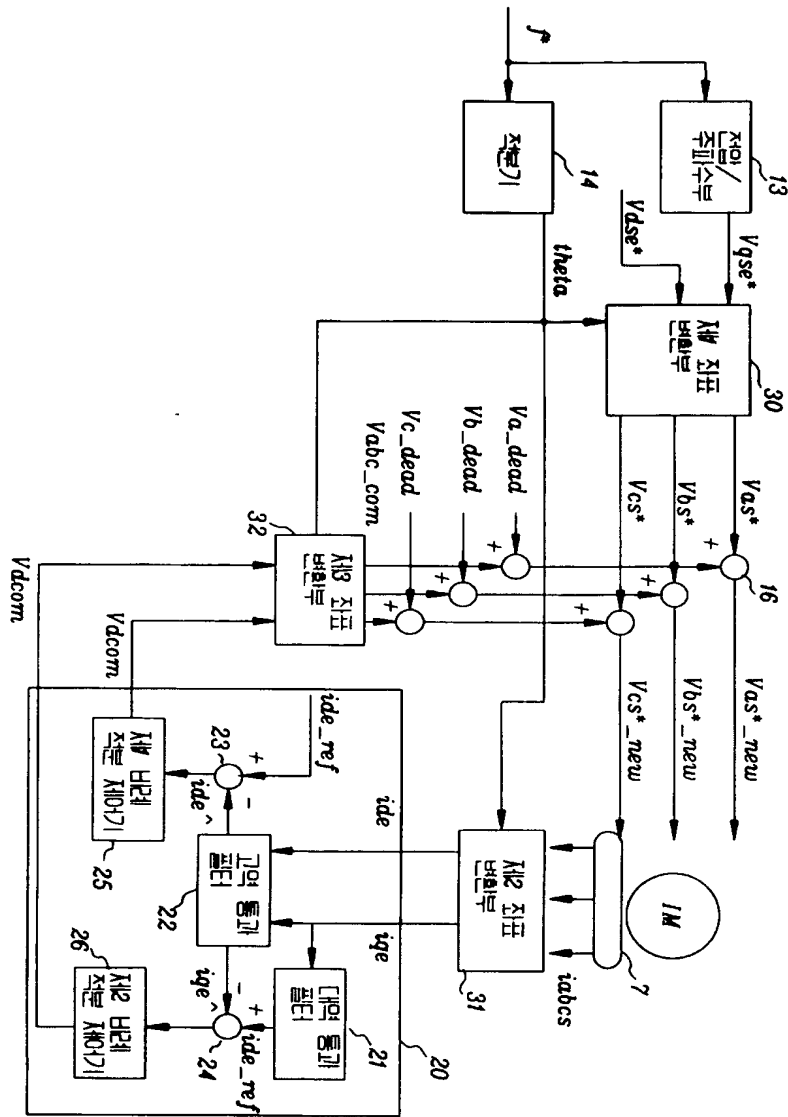


도 10a



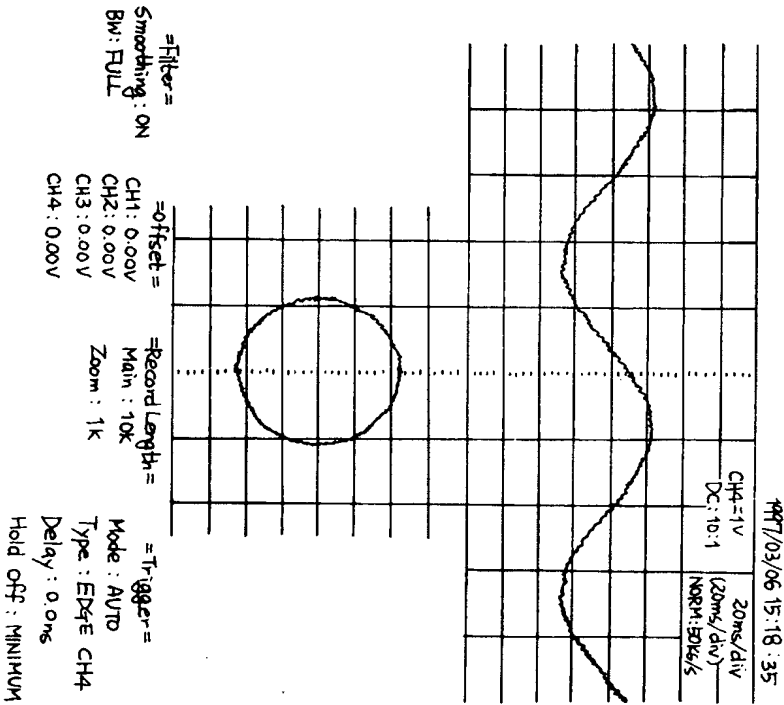
도면 10b



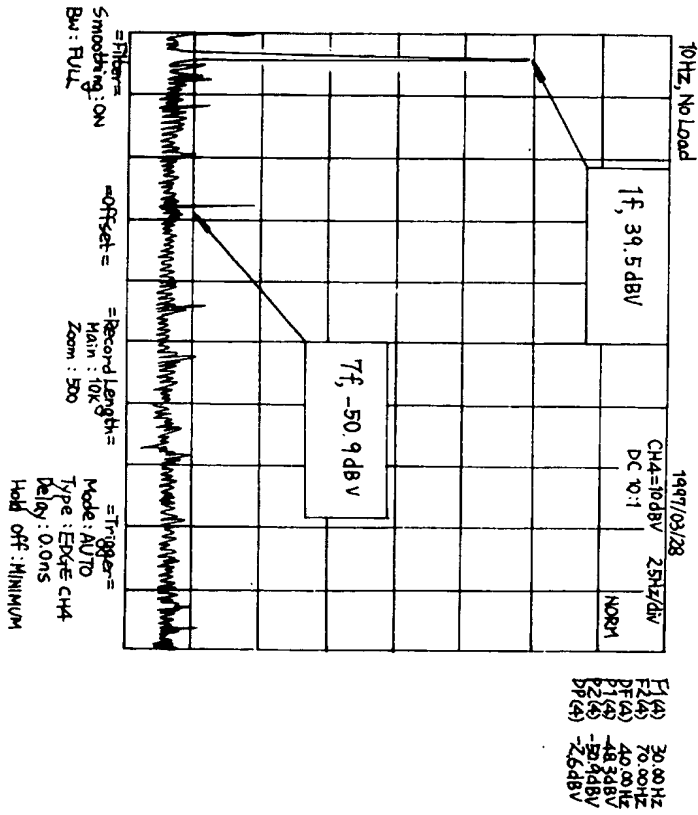


도면 11

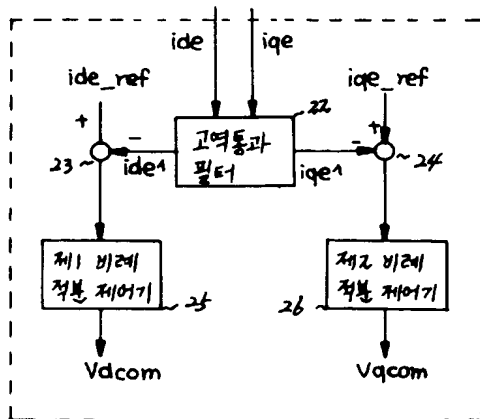
도면 12



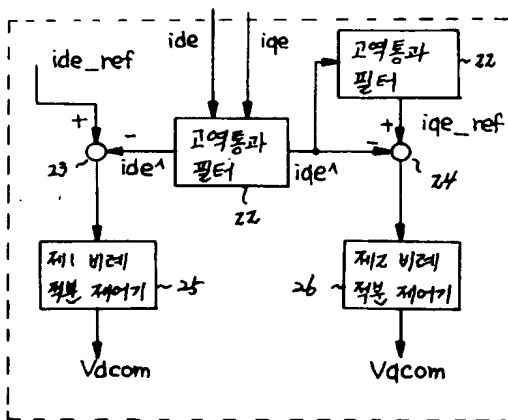
5면13



도면 15b



도면 15c



도면 15d

